

加速度と映像を計測可能な自律型時刻同期センシングシステムの開発

Development of Autonomous Time Synchronized Sensing System Enabling Measurement of Acceleration and Image

○倉田 成人^{*1}

Narito Kurata^{*1}

^{*1} 筑波技術大学産業技術学部 教授 博士(工学)

Professor, Faculty of Industrial Technology, Tsukuba University of Technology, Ph.D.

キーワード：時刻同期; チップスケール原子時計; デジタルセンサ; 構造ヘルスマニタリング; 地震観測

Keywords: chip scale atomic clock; camera; time synchronization; structural health monitoring; earthquake observation.

1. はじめに

日本では、老朽化が進む橋梁や高速道路などの社会インフラ、建築物の維持管理が重要な社会課題となっている。適切な維持管理には、定期的で精度の高い点検が必要であるが、人による目視点検に頼っており、高いコストがかかる。これを効率化するために、センシングシステムによる点検の自動化が求められている。さらに、大地震や津波などの災害後には、速やかな避難誘導、人命救助を行う必要があり、各構造物の損傷を精度よく評価することが必須である。こうした点検や損傷検知の自動化には、センシングシステムによるデータ収集が必要であるが、複数のセンサで計測したデータ群を分析し、構造物の安全性評価を行うためには、センサ間の時刻同期を確保しなければならない。時刻同期が確保されたデータ群が得られなければ、位相情報を使った時系列分析ができないからである。時刻同期手法は、専用配線、有線あるいは無線ネットワーク等により実現されているが、配線が必要な場合は、センサの設置場所に大きな制約を与え、無線による場合は、センサ間で無線通信が可能な場所にしか適用できない。また、どちらにしても、広域にセンサを展開することは不可能である。一方、任意の場所に設置したセンサが、自律的に正確な時刻情報を保持できれば、この問題を解決することができる。GPS 信号を使う方法は屋外では有効であるが、ビルの中や地下、橋梁の下部、トンネルなどでは利用できない。そこで、超高精度な時計であるチップスケール原子時計 (CSAC) を利用して、自律的に正確な時刻情報を保持するセンサ装置を開発した¹⁾。また、開発したセンサ装置を地震観測に応用するため、地震の発生を検知し、地震のイベントのデータを保存するロジックを実装し、振動台実験でその機能を確認した²⁾。さらに開発したセンサ装置を実建物や実橋梁に設置して、地震観測と構造健全性評価に

応用した³⁾。しかしながら、開発したセンサ装置に搭載したのはアナログ型 MEMS 加速度センサであり、微小振動まで精度よく計測することは難しく、アナログ信号にノイズが混入するリスクは残る。そこで、センサ装置に搭載する加速度センサをデジタル型として、ノイズに対するリスクを解消した。さらに、センサ装置にカメラセンサを接続可能とし、異種デジタルセンサプラットフォームの開発を行った⁴⁾。本論文では、これまでの開発で得られた知見を活かし、新規に設計・製作した自律型時刻同期センシングシステムと、CSAC によりセンサデータに超高精度な時刻情報を付与するメカニズムについて詳細を示す。

2. 自律型時刻同期センシングシステムと回路構成

一般的なセンサ装置に CSAC を搭載して、CPU の時刻情報を補正し、計測を行おうとすると、CSAC の計時精度が高すぎるために遅延が生じてしまう。そこで、CSAC による時刻情報を、直接、センサの計測データにハードウェア的に付与するため、専用の集積回路である Field-Programmable Gate Array (FPGA) を装備するメカニズムを実装した。これによりセンサ装置の CPU は過度の負荷を受けず、FPGA により絶対時刻情報を付与された計測データをストレージに保存し、ネットワーク経由でデータを収集することが可能となる。また、FPGA はプログラマブルであるため、CSAC の時刻情報を扱うだけでなく、計測データを利用した地震発生や火災発生の検知等のロジックを組み込むことができる。本論文では、デジタル型加速度センサ、カメラセンサ、外部アナログ入力の出力に、CSAC による正確なタイムスタンプを付与するメカニズムを開発・実装した。

2.1 システム構成

本研究で開発したセンサ装置は、図 1 に示すように、

GPS 時刻 (GPST) と CSAC を同期させ、安定したリファレンス信号を供給し、絶対時刻情報を保持できる発振器及び FPGA 部、デジタル型加速度センサ及び外部アナログセンサ入力インターフェースを搭載したセンサ部、CPU を搭載した信号処理ボード、画像を撮影するカメラで構成されている。発振器及び FPGA 部から、高精度な 10MHz のリファレンス・クロックと 1 PPS (Pulse Per Second) 信号が供給され、タイムスタンプやデータ取得のトリガ信号が FPGA で生成される。センサ部には、デジタル加速度センサと外部アナログセンサ入力インターフェースが搭載されている。外部アナログセンサ入力インターフェースには、任意のアナログ型センサを接続することが可能である。デジタル型加速度センサは、トリガ信号に応じたデータを UART (Universal Asynchronous Receiver/Transmitter) にて出力する。外部アナログセンサ入力インターフェースに接続されたセンサのデータは、トリガ信号に応じて A/D コンバータにより変換され、16bit のシリアル値で出力される。カメラセンサはトリガ信号に応じてシャッターを切ることができ、RGB 値で出力される。取得したデータは、接続されているストレージ(SSD)に保存される。カメラデータとセンサデータはアクセススピードの観点から別々の SSD に保存される。取得したデータは、各 SSD を取り出すか、本システムのファイルサーバー機能を用いて、ネットワーク経由で閲覧、取得、削除を行うことができる。測定の設定や時刻合わせ、動作モードなどの操作はネットワーク経由で行われる。ネットワークに関しては、有線 LAN 及び Wi-Fi を内蔵しているため、どちらかを選択することができる。

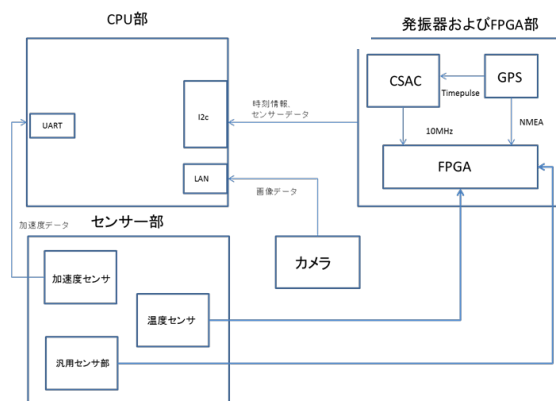


図1 システム構成

2.2 発振器部および FPGA 部

発振器部および FPGA 部の構成を図2に示す。発振器部および FPGA 部は、GPS モジュールから出力される 1 PPS または外部から入力した 1 PPS と、CSAC を同期させる機能を持ち、CSAC の 10MHz より FPGA 内で各センサおよびカメラに入力するトリガを生成する。ここで生成する各トリガ信号は GPS に同期した CSAC の 1pps と

同期している。複数台のセンサ装置間で時刻同期を行う場合は、すべてのセンサ装置を”マスター”とするか、あるいは1台のセンサ装置を”マスター”として、他のセンサ装置を”スレーブ”とする。センサ装置がマスターの場合は、GPS 信号を受信し、GPS モジュールから得られる 1 PPS を CSAC へ入力することで、GPS と CSAC が同期する。センサ装置がスレーブの場合は、マスターから出力される 1 PPS を入力することで、マスターとスレーブが同期する。また、CSAC の同期周期の設定や、CSAC 1pps 位相値のリセットを行う命令、GPS か外部入力かの信号選択命令は、信号処理ボードからコネクタを通じて、CSAC、FPGA に実行される。このボードから出力される 10MHz と 1pps が、本システムのクロックソースとなる。GPS の周波数安定度、CSAC の周波数安定度の兼ね合いから同期周期は 1000 秒とし、GPS が途切れた際も長時間時刻を保持できるように設定している。

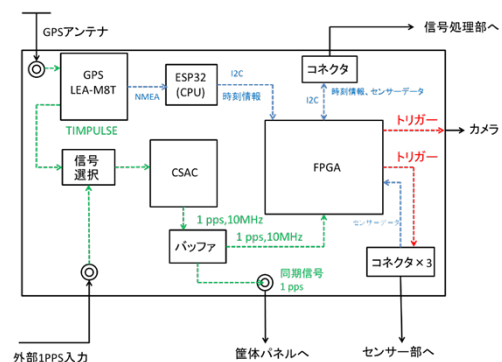


図2 発振器部および FPGA 部の構成

2.3 センサ部

センサ部の構成を図3に示す。センサ部には、デジタル型加速度センサと外部アナログセンサ入力インターフェースが搭載されている。デジタル型加速度センサのデータは、トリガのタイミングで、1 kHz でサンプリングすることができる。外部アナログセンサ入力インターフェースは、デジタル型加速度センサとの比較用に、アナログ型加速度センサを接続することを想定し、3 チャンネル用意されている。計測の目的に応じて、アナログ型加速度センサ以外に、任意のアナログ型センサを接続することができる。また、外部アナログセンサ入力インターフェースから入力された信号は、A/D コンバータにより変換され、16bit のシリアル値で出力されるが、信号を 2 系統に分岐し、そのうちの 1 系統を 64 倍に増幅することで、16bit の分解能を持つ A/D コンバータでも 22bit 相当の分解能を得られるようになっている。デジタル型加速度センサのデータは UART で、外部アナログセンサ入力インターフェースに接続したセンサのデータは SPI (Serial Peripheral Interface) で、FPGA へ出力される。

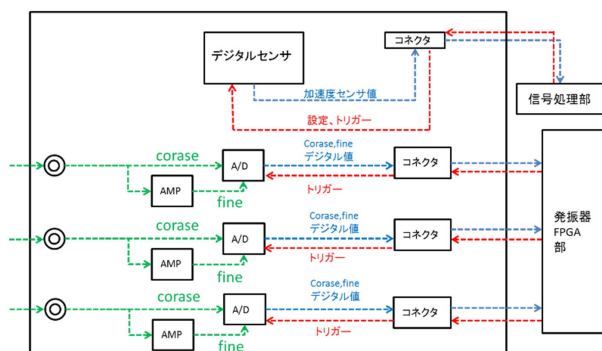


図3 センサ部の構成

2.4 信号処理部

信号処理部の構成を図4に示す。信号処理部には、raspberry-pi4が使用されている。CPUのOSとしてubuntuが搭載され、USB3.0経由でのSSD使用や、GIGAbitイーサネットによるカメラ通信、内蔵Wi-Fiアンテナなどの接続が可能である。また、LAN(Wi-Fi)はsamba機能によりLAN経由で内蔵データを取得、閲覧することができ、SSH(Secure Shell)により設定や測定の開始などの操作を行うことができる。CPUは、上記の機能の他に、時刻の設定や取得したデータのソート、フォーマット変換、ファイリング、および、カメラからの画像データ処理を行う。

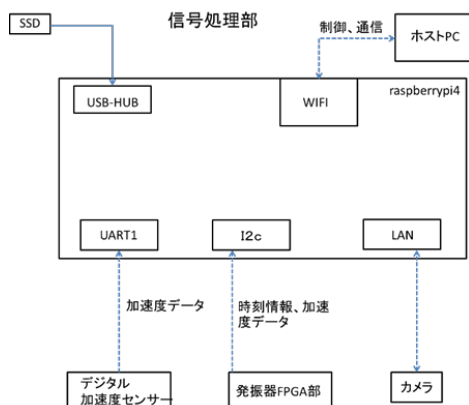


図4 信号処理部の構成

2.5 カメラセンサ

カメラセンサの仕様を表1に示す。カメラセンサとして、Baumer社VCXG-02Cを採用した。小型かつ低消費電力であり、グローバルシャッター方式であるため画像キャプチャが同時で、外部トリガを入力することでトリガのタイミングで画像を取得することができる。

3. カメラセンサの時刻同期性能確認実験

カメラセンサの時刻同期機能に関する性能確認実験を

行った。実験システム構成を図5に示す。発振器部およびFPGA部で生成されるトリガ信号を、カメラセンサとLEDコントロールのFPGAに同時に送信する。カメラセンサのシャッターとLEDの点灯が同期するため、LED点灯の遷移に合わせて画像が取得できれば、トリガに同期した画像を取得していると考えられる。またこの信号のソースはCSACであり、センサ部に渡しているトリガ信号と同期しているため、センサとカメラセンサは同期する。LED制御用FPGAは、トリガ信号のクロック(50Hz)のタイミングで、LEDの点灯を制御するように構成されている。図5に示すように、5×5のマトリクスLEDで、トリガ信号の立ち上がりに合わせて左上から右下に向かって1つずつ、点灯が切り替わっていく。カメラセンサを固定してマトリクスLEDを撮影する。図6は、カメラセンサでの撮影の結果を示している。左上から右下にかけて、20msずつ時間が経過している。画像中のLEDはひとつずつ遷移しているため、LED制御用FPGAに入力されている50Hzのトリガ(20msごとのトリガ)に同期して、連続して画像を取得することができていることが確認された。

表1 カメラセンサの仕様

Model	Baumer VCXG-02C
Active Array Size	640 x 480
Sensor	CMOS ON Semiconductor : PYTHON 300
Pixel Size	4.8 μm x 4.8 μm
Shutter	Global Shutter
Power Supply	12-24 VDC/2.6W
Image Formats	BayerRG / RGB / BGR / Mono
Frame Rate(fps)	401(640 x 480)
Exposure Control	20 μsec ~ 1sec
Operation Mode	Trigger/Free Run
Size(mm)	29 × 29 × 49
Weight(g)	120
Interface	GigabitEthernet (1000BASE) / FastEthernet (100BASE)

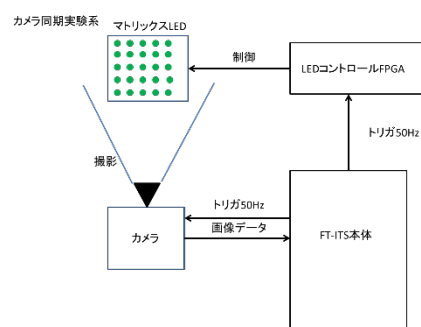


図5 カメラデータ実験システム構成

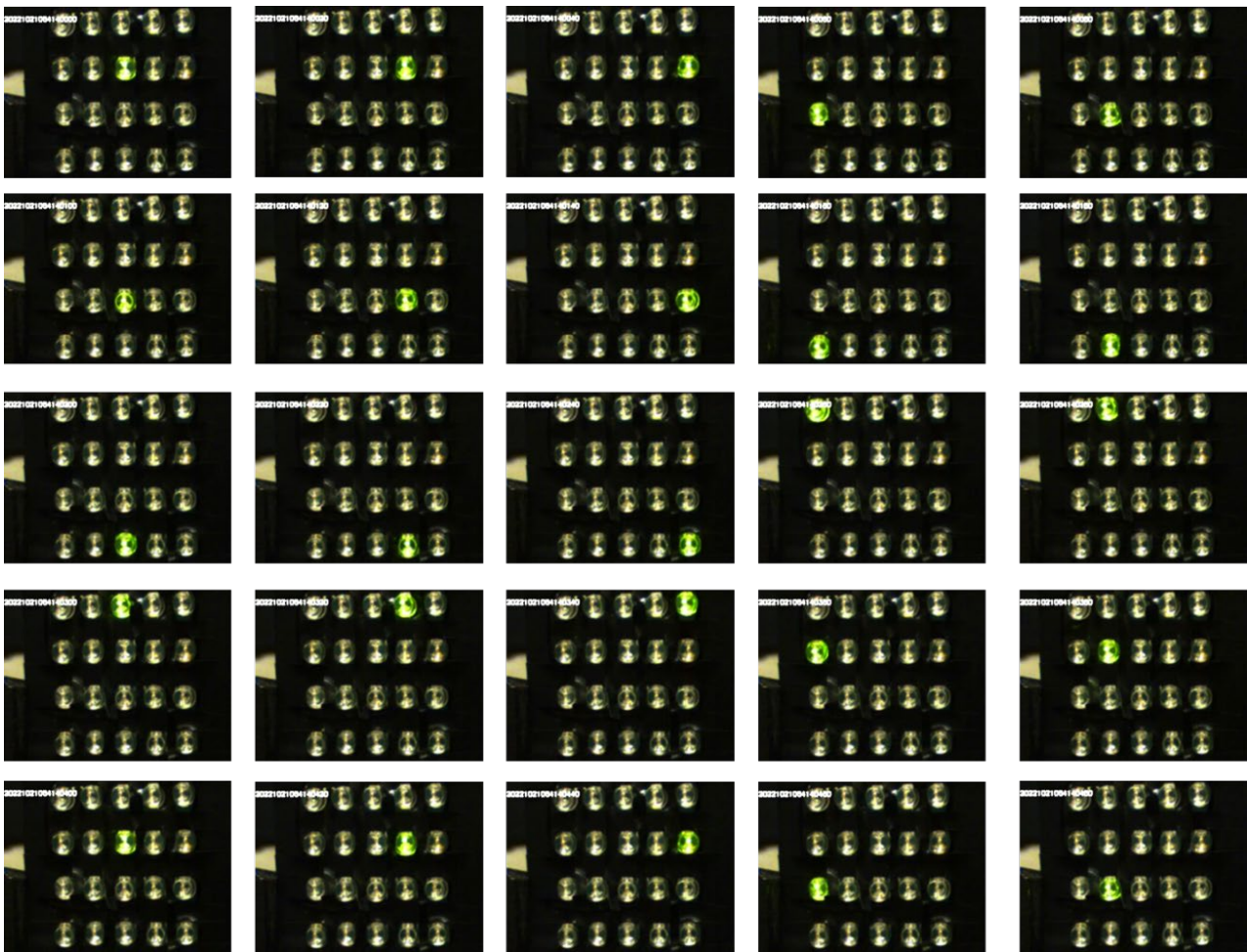


図 6 実験結果の連続撮影画像

4. まとめ

本論文では、チップスケール原子時計（CSAC）を応用して、自律的に高精度な絶対時刻情報を保持するセンシングシステムに関する研究開発について報告した。まず、自律型時刻同期センシングシステムと回路構成について述べ、CSACによりセンサデータに超高精度な絶対時刻情報を付与するメカニズムとセンサ装置の開発について詳細を示した。カメラセンサによる出力、内蔵デジタル型加速度センサの出力、外部アナログ入力インターフェースによる入力に、同じタイムスタンプを付与する機能を実装した。さらに、カメラセンサの時刻同期性能を確認するために行った実験結果について報告した。今後は、開発した自律型時刻同期センシングシステムについて、カメラセンサ、内蔵デジタル型加速度センサ、外部入力アナログセンサによる計測データの時刻同期性能を詳細に確認する予定である。さらに、このシステムを実構造物に適用し、正確な時刻情報を保持した加速度及び映像データを取得し、データ分析を行う。

謝辞

本研究は JSPS 科研費 23K04342 の助成を受けた。

[参考文献]

- 1) N. Kurata, "An Autonomous Time Synchronization Sensor Device Using a Chip Scale Atomic Clock for Earthquake Observation and Structural Health Monitoring" The Eighth International Conference on Sensor Device Technologies and Applications (SENSORDEVICES 2017) IARIA, Sep. 2017, pp.31-36, ISSN: 2308-3514, ISBN: 978-1-61208-581-4
- 2) N. Kurata, "Seismic Observation and Structural Health Monitoring of Buildings by Improved Sensor Device Capable of Autonomously Keeping Accurate Time Information," International Journal on Advances in Systems and Measurements, IARIA, vol 12, no 1&2, pp. 41-50, 2019.
- 3) N. Kurata, "Digital Sensing Platform with High Accuracy Time Synchronization Function for Management of Buildings and Cities," The Tenth International Conference on Sensor Device Technologies and Applications (SENSORDEVICES 2019) IARIA, Oct. 2019, pp. 53-58, ISSN: 2308-3514, ISBN: 978-1-61208-745-0
- 4) N. Kurata, "High-precision Time Synchronization Digital Sensing Platform Enabling Connection of a Camera Sensor," The Twelfth International Conference on Sensor Device Technologies and Applications (SENSORDEVICES 2021) IARIA, Nov. 2021, pp. 98-104, ISSN: 2308-3514, ISBN: 978-1-61208-918-8